Universidad Autónoma de Baja California Facultad de Ciencias Químicas e Ingeniería



LABORATORIO ORGANIZACIÓN DE COMPUTADORAS Y LENGUAJE ENSAMBLADOR

Práctica 1: Organización de la memoria

Profesor(a): Lara Camacho Evangelina

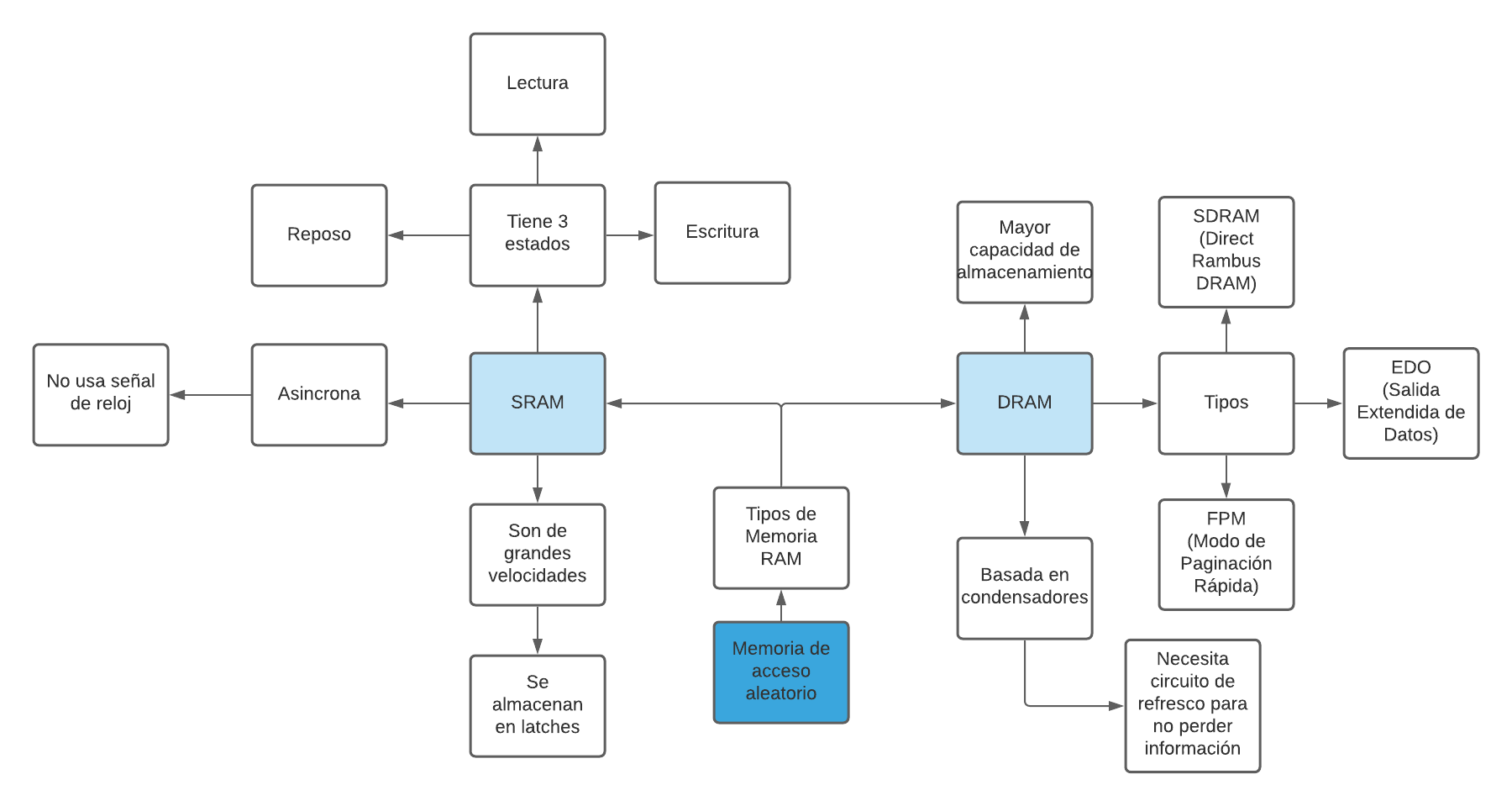
Nombre(s): Bernal Lopez Donaldo Manrique

Matricula(s): 1244916

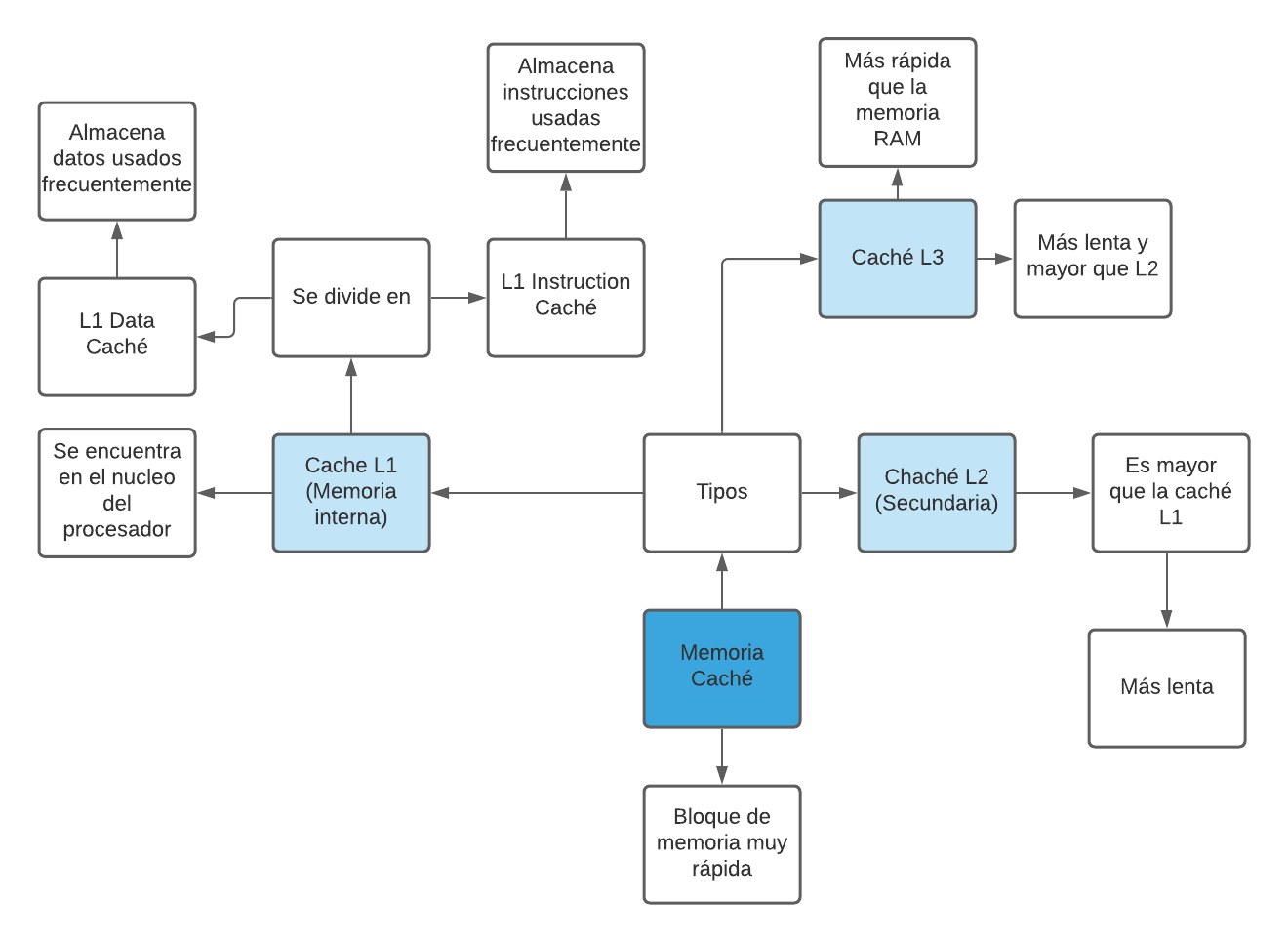
Grupo: 552

Fecha: 30 de septiembre de 2020

Mapa Mental Memorias RAM



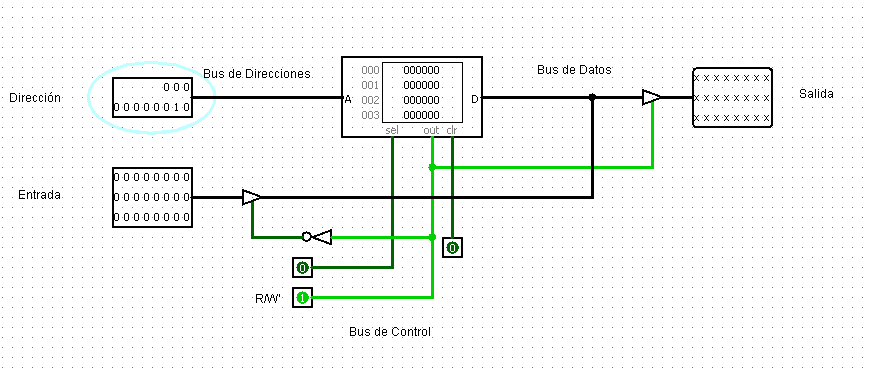
Mapa Mental Memoria Caché



Desarrollo

1. Diseñe y simule en Logisim una memoria RAM asíncrona de tamaño 2048 x 24 bits. Determine el tamaño del ducto de datos y direcciones.

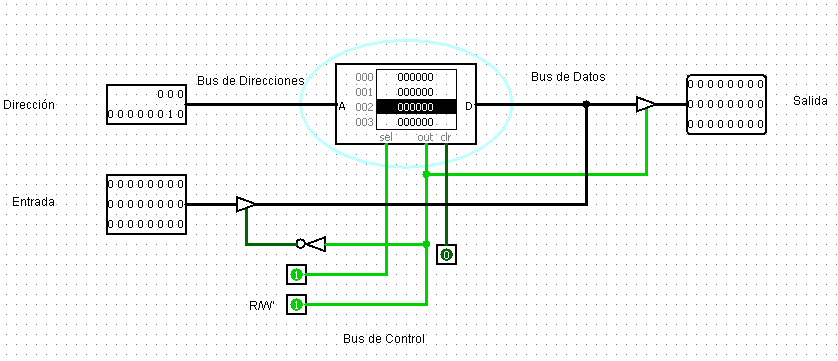
Describa paso a paso en el reporte el procedimiento de escritura y lectura de un dato de la memoria del paso 1.



**RAM asíncrona de 2048 x 24 bits**

Procedimiento de Lectura de un dato

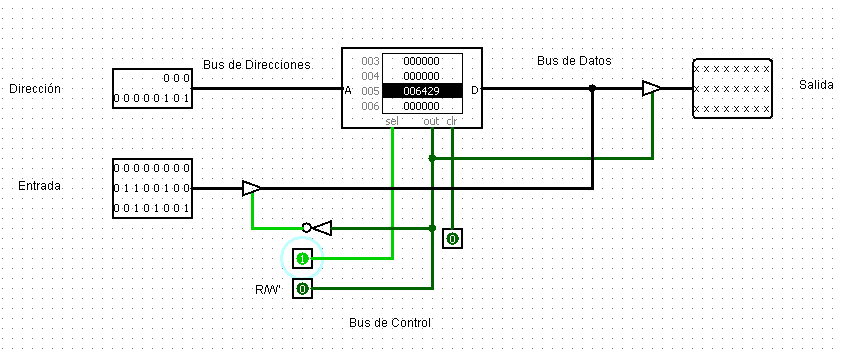
1. Se coloca la dirección en el Bus de Direcciones
2. Se manda la señal de lectura en el Bus de Control
3. La memoria coloca el dato en el Bus de Datos
4. El dato se verá desplegado en la salida



**RAM asíncrona de 2048 x 24 modo lectura**

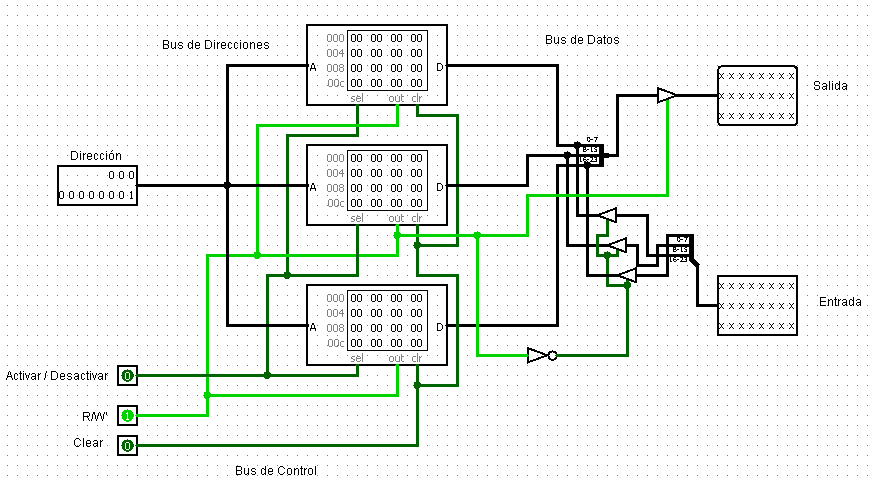
Proceso de Escritura de un dato

1. Se coloca la dirección de memoria en donde se escribirá el dato en el bus de direcciones.
2. Se coloca el dato a escribir en el bus de datos (se pone en la sección de entrada el dato a escribir).
3. Se manda la señal de escritura (se manda un 0) por el bus de control.
4. Se manda un 1 en el “sel” de la memoria RAM para activar el dispositivo.

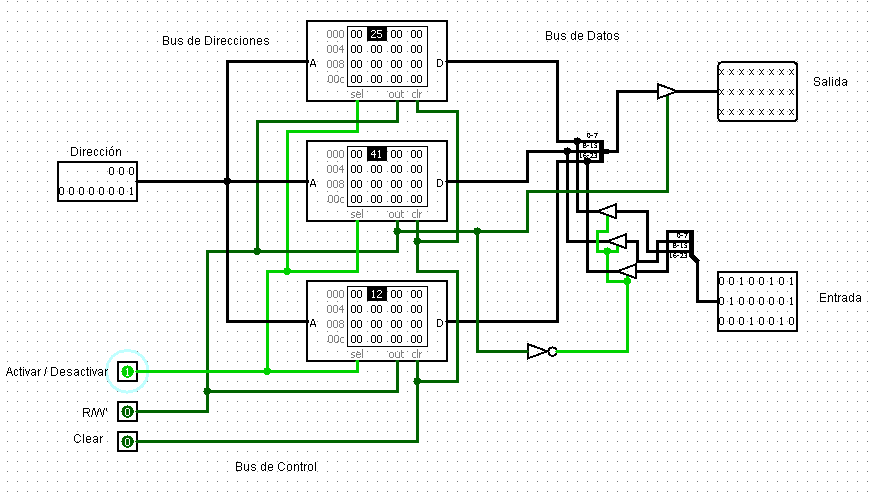


**RAM asíncrona de 2048 x 24 modo escritura**

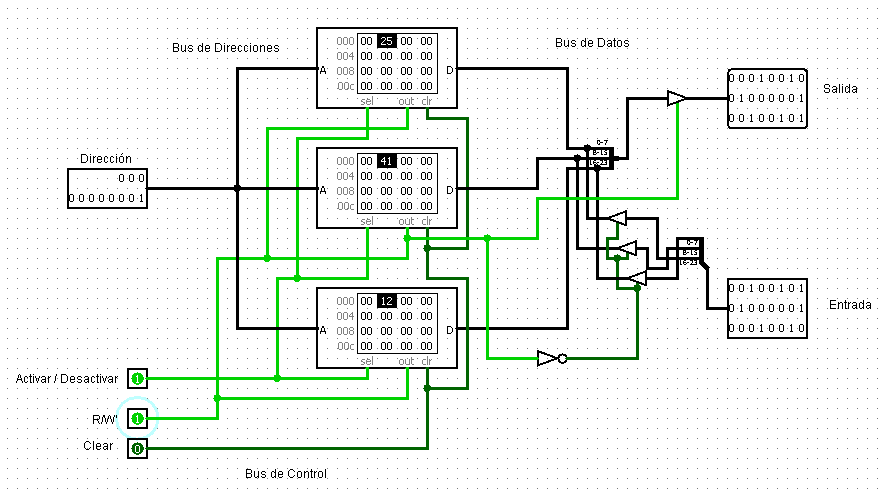
2. Considerando la existencia de sólo memorias RAM de tamaño 1024 x 8 bits, diseñe y simule en Logisim su propuesta de solución que permita tener funcionalmente una sección de memoria de tamaño 2048 x 24 bits.



Como se puede observar en la imagen de abajo está activo el modo escritura poniendo un 0 en R/W’. Así es como se muestra en las memorias RAM en la dirección de memoria 0001. La RAM de abajo seria la parte más significativa y la hasta arriba la menos significativa.



Ahora está activo el modo lectura al poner un 1 en R/W’ o bus de control y lo que está en la dirección de memoria se muestra en la sección de salida por el Bus de Datos.





**Figura 1**. Memoria de 4 x 3 basada en flip-flops.

1. Diseñe y simule en Logisim una memoria de 8 x 6 bits basada en flip-flops tipo D. Tome como base el diagrama de la Fig. 1.



**En este circuito no se logra apreciar bien, pero es una memoria de 8 x 6 bits que está basado en Flip-Flops.**

**Conclusiones y comentarios**

Es esta práctica se vio mucho el funcionamiento de las memorias RAM en el simulador Logisim, lo cual es interesante ver cómo es que estas funcionan, aunque al principio son un poco difícil de entender para poder implementar alguna otra configuración con ellas, creo que si se practica más con las memorias RAM se puede entender mejor.

**Dificultades en el desarrollo**

Las dificultades que me encontré al desarrollar la practica fueron, primero que no sabía cómo utilizar los buffers controlados que es algo que tuve que investigar, luego con eso ya pude más o menos implementar la primera parte, después para implementar la segunda no me pareció muy complicado ya que se tenía que hacer lo que en la primera solo que con un par de memorias RAM.

**Referencias**

# Bibliografía

Anonimo. (s.f.). *TeccnoTopia*. Obtenido de http://tecnotopia.com.mx/mecatronica/memoriadram.htm#EDO

Anonimo. (s.f.). *Wikipedia*. Obtenido de https://es.wikipedia.org/wiki/Cach%C3%A9\_(inform%C3%A1tica)#Tipos\_de\_cach%C3%A9

*cburch*. (s.f.). Obtenido de http://www.cburch.com/logisim/docs/2.1.0-es/libs/gates/controlled.html